

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

004058797

WPI Acc No: 1984-204338/198433

**Insulated-gate field-effect transistor - has structure to prevent
characteristic degradation due to hot carrier NoAbstract Dwg 3/3**

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59117164	A	19840706	JP 82226169	A	19821224	198433 B

Priority Applications (No Type Date): JP 82226169 A 19821224

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 59117164 A 7

Title Terms: INSULATE; GATE; FIELD; EFFECT; TRANSISTOR; STRUCTURE;
PREVENT;

CHARACTERISTIC; DEGRADE; HOT; CARRY; NOABSTRACT

Index Terms/Additional Words: IGFET

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

01405564 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 59-117164 [JP 59117164 A]

PUBLISHED: July 06, 1984 (19840706)

INVENTOR(s): KOMORI KAZUHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 57-226169 [JP 82226169]

FILED: December 24, 1982 (19821224)

INTL CLASS: [3] H01L-029/78; H01L-029/60

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 275, Vol. 08, No. 235, Pg. 116,
October 27, 1984 (19841027)

ABSTRACT

PURPOSE: To reduce field strength, to prevent the generation of hot carriers and to obviate the deterioration of characteristics by forming both side edges of the gate of a MISFET in tapered sections while forming the impurity concentration of the junction section of a drain region under an inclined junction state.

CONSTITUTION: A gate insulating film 12 is formed into an element forming region surrounded by a field insulating film 11 formed to the surface of a substrate 10, and the gate 13 is formed on the film 12. Both side edges 13a, 13b are formed in tapered section structure in the gate 13. A source region 14 and the drain region 15 in which the impurity concentration of the junction sections 14a, 15a is brought to an inclined state are formed on both sides of the gate 13, and connected electrically according to a predetermined method. Consequently, drain field-strength can be reduced, the generation of hot carriers is inhibited, and the deterioration of characteristics of threshold voltage can be prevented.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭59—117164

⑫ Int. Cl.³ 識別記号 厅内整理番号
H 01 L 29/78 // H 01 L 29/60 7377—5F
7638—5F

⑬ 公開 昭和59年(1984)7月6日
発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭57—226169
⑯ 出 願 昭57(1982)12月24日
⑰ 発明者 小森和宏
小平市上水本町1450番地株式会

社日立製作所武藏工場内
⑱ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑲ 代理 人 弁理士 薄田利幸

明細書

発明の名称 半導体装置

特許請求の範囲

1. 絶縁ゲート電界効果トランジスタのゲート両側面をテーパ状断面構造にすると共に、少なくともドレイン領域の接合部の不純物濃度を傾斜接合状態に形成したことを特徴とする半導体装置。
2. ゲート両側面は外側に向かって徐々にゲート厚さを低減してなる特許請求の範囲第1項記載の半導体装置。
3. ソース領域、ドレイン領域は前記ゲートを用いたセルフアラインにより形成したことを特徴とする特許請求の範囲第1項又は第2項記載の半導体装置。

発明の詳細な説明

本発明は絶縁ゲート電界効果トランジスタにおけるホットキャリアによる特性劣化の防止を図った半導体装置に関するものである。

一般に絶縁ゲート電界効果トランジスタ (MIS型トランジスタ) を飽和領域で動作させると、

ドレイン領域近傍の空乏層内に多数のホットキャリアが発生し、このキャリア (エレクトロン) が例えば SiO_2 からなるゲート絶縁膜中に注入されしきい値電圧 V_{th} をシフト (変動) させ MIS型トランジスタの特性劣化を生じることが知られている。これは、ゲート絶縁膜中に存在している水素 H が、ゲート絶縁膜中に注入されたキャリアにより活性化され、活性化された H が Si-O の結合を切ることによりタンギリングボンドを形成しきい値電圧 V_{th} に影響を与えるものと考えられている。

ところで前記したホットキャリアはドレイン接合部の電界強度に応じて多くなることが知られており、したがってホットキャリアを低減するためにはこの電界強度を弱くすればよいことが判る。しかしながら、近年の MIS型トランジスタは回路の高速化、高密度化に伴ない、ゲート酸化膜の薄膜化、ゲート長の微細化、チャネルドープの高濃度化、拡散層深さの微小化といったいわゆるスケールダウンがなされてきており、このためドレ

特開昭59-117164(2)

イン接合部での電界強度は、増々増大しつつある。

このため、従来では、第1図に示すように、半導体基板1上にゲート2、ゲート絶縁膜3、ソースおよびドレイン領域4、5を形成するとともに、ドレイン領域5の接合部位とゲート2との間に間隙(オフセット部)6を形成し、かつこのオフセット位置には低不純物濃度のドレイン領域7を形成したトランジスタを構成したものが提案されている。これはドレイン接合部における濃度差を実質的に小さくし、これにより電界強度の低減を図るようとしたものである。

しかしながら、この構造ではオフセット部だけ電子寸法が大きくなる一方、ソース、ドレイン領域とゲート等の位置合せが厳しくなって製造が困難になる等の問題がある。

したがって、本発明の目的は電子寸法の低減およびセルフアラインによる製造の容易化を図り、かつ一方では電界強度を低減してホットキャリアの発生を防止し、これにより特性劣化を防止することができる半導体装置を提供することにある。

前記構成のトランジスタの製造方法を第3図に示す。即ち、同図(A)のようにフィールド SiO_2 絶縁膜11、ゲート SiO_2 絶縁膜12を形成したP型半導体基板10の表面に多結晶シリコン層13Aを形成し、その上にポジ型ホトレジスト20膜を形成する。そして、ゲート13に相当する箇所にバターン21aを有するホトマスク21を被せ、露光、現像を行なって同図(B)に示すホトレジスト20のマスクを形成する。このホトレジストの形状は、露光量および現像量を変えることにより、決定することが可能であり、例えば、ポジ型ホトレジストを用いる場合、露光量を少くするか、現像量を多くするかにより、同図20Aのようにテバ状断面形状に形成される。

次いで、このホトレジスト20Aをマスクとして多結晶シリコン層13Aのエッチングを行なう。このエッチングの際例えれば、CCB₄のようなホトレジストと多結晶のエッチング比が小さいガスを用いたプラズマエッチャを行ない、かつその後ホトレジスト20Aを除去すれば、同図(C)のようにゲ

この目的を達成するために本発明はゲートの両側縁をテバ状断面構造とし、かつ少なくともドレイン接合部の不純物濃度を傾斜状態とするようにしたものである。

以下、本発明を図示の実施例により説明する。

第2図は本発明をMOS型電界効果トランジスタに適用した実施例であり、P型の半導体基板10の表面に形成したフィールド SiO_2 絶縁膜11にて囲まれる素子形成領域にはゲート SiO_2 絶縁膜12を形成し、その上に多結晶シリコンからなるゲート13を形成している。このゲート13は両側縁13a、13bをテバ状の断面構造とし、その厚さが両側縁に向かって傾斜的に低減されるようになっている。また、このゲート13の両側にはセルフアライン法を用いてイオン打込みにより接合部14a、15aの不純物濃度を傾斜状態としたN型のソース領域14、ドレイン領域15を形成し、アルミニウム層16、17により所定の電気接続を行なっている。図中、18は SiO_2 等の耐間絶縁層、19はPSG等の絶縁層である。

ゲート13が形成される。このゲート13は前記ホトレジスト20Aの両側縁がテバ状断面であることからゲート両側縁におけるエッティング速度も傾斜状に異なり。これによりエッティングされたゲート13はその両側縁13a、13bがホトレジストの場合と同様にテバ状断面構造とされ、両側に向かう程厚さが低減された形状となる。

しかる上で、このゲート13を利用してセルフアライン法により例えれば砒素(A₂S)、磷(P)等の不純物をイオン打込みして同図(D)のようにソース領域14、ドレイン領域15を形成する。すると、形成された両領域14、15は、特にゲート13との対向部位において打込まれたイオン濃度がゲート13の厚さの変化に対応して変化するため、ゲートのテバ状に合わせてイオン濃度も傾斜状態に変化し、内側(ゲート側)に向かって徐々にイオン濃度が低減される状態とされる。即ち、ソース領域およびドレイン領域の接合部14a、15aを傾斜(グレード)接合として構成しているのである。

以下、ゲート13の酸化により SiO_2 の絶縁層18を形成し、ソース、ドレインのコンタクト用のアルミニウム層16、17を形成した上で、バッシャベーションとしてのPSG層19を形成することにより第2図に示したトランジスタを構成できる。

以上の構成によれば、ソース領域14およびドレイン領域15は夫々の接合部14a、15aにおいて、ゲート13に向かう不純物濃度が徐々に低減されて傾斜接合となることにより、特にドレイン接合部においては緩やかなプロファイルとなりドレイン電界強度の低減を達成できる。これにより、ドレイン領域近傍でのホットキャリアの発生は抑制され、ホットキャリアの低減を図ってしきい値電圧 V_{th} のシフト等を防止し、特性劣化の防止を図ることができる。また、このように構成しても、オフセット構造のようなゲート、ドレン間の間隔が不要であるから搭子寸法の低減を図って高集積化に有効であると共に、セルフアライメント法の適用が可能であるから製造の容易化を達成

することもできる。

ここで、ゲート両側面のテーパ角を適宜変化すれば、ドレイン領域のプロファイルを変化でき、電界強度の微調整を可能にする。なお、多結晶シリコンをテーパ形状する方法として、前述のホトレジスト形状を変えること以外に、例えば、プラズマエッティングの際にCCF_xガスにO₂ガスを過量加えても形成することが可能である。

以上のように本発明の半導体装置によれば、ゲートの両側面をテーパ状断面構造とし、少なくともドレイン接合部の不純物濃度を傾斜状態とした構成としているので、ドレイン領域の接合部における不純物濃度プロファイルを緩やかなものとして傾斜接合状態に構成でき、これにより電界強度を低減してホットキャリアの発生を抑制し、しきい値電圧のシフト等の特性劣化の防止を図る一方で、素子寸法を低減して高集積化を達成しがつセルフアライメント法による製造の容易化を実現する等の効果を奏する。

図面の簡単な説明

第1図は従来装置の断面図。

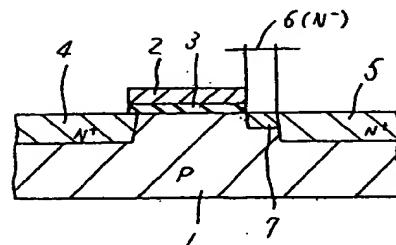
第2図は本発明装置の断面図。

第3図(A)～(D)は製造工程の断面図である。

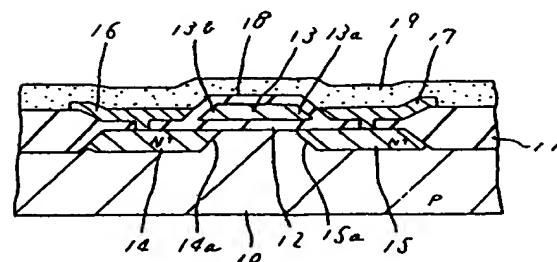
11…半導体基板、12…ゲート絶縁膜、13…ゲート演柵、13a、13b…ゲート柵柵の両側性、14…ソース領域、15…ドレイン領域、14a、15a…接合部、20…ホトレジスト、21…ホトマスク。

代理人 非理士 深田利幸

第1図



第2図



第 3 図

